

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-015885

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

G06F 9/46

(21)Application number : 2001-204194

(71)Applicant : CANON INC

(22)Date of filing : 05.07.2001

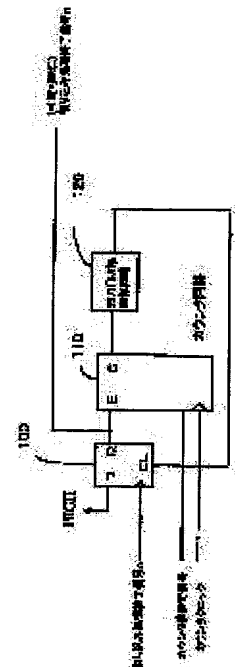
(72)Inventor : OIDE TAKAHIRO

(54) INTERRUPTION CONTROL MEANS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an interruption control circuit adaptive to the addition of a module for newly generating an interruption request or the change of an interruption controller (MPU) and having high extendability.

SOLUTION: When multiple interruptions are generated in an interruption signal consisting of two or more interruption factors having the same levels, the interruption is turned to a disabled state for prescribed time allowed to be set up and then returned to an enabled state to generate an edge.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-15885

(P2003-15885A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int. Cl.⁷

G 0 6 F 9/46

識別記号

3 1 1

F I

G 0 6 F 9/46

サブジェクト (参考)

3 1 1 A 5 B 0 9 8

3 1 1 F

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願2001-204194 (P2001-204194)

(22) 出願日 平成13年7月5日 (2001.7.5)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 大出 隆宏

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100086818

弁理士 高梨 幸雄

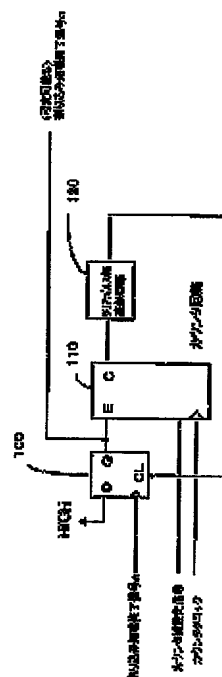
Fターム (参考) 5B098 BA12 BB05 BB11 BB18

(54) 【発明の名称】 割り込み制御手段

(57) 【要約】

【課題】 新規に割り込み要求を発生するモジュールを追加、あるいは割り込みコントローラ (MPU) を変えた時でも対応可能な拡張性の高い割り込み制御回路を提供することを目的とする。

【解決手段】 同一レベルの複数の割り込み要因からなる割り込み信号において、多重割り込みが発生した場合、設定可能な所定時間割り込み信号をディセーブル状態にした後イネーブル状態とすることでエッジを発生させるよう構成する。



【特許請求の範囲】

【請求項1】 同一レベルの複数の割り込み要因からなる割り込み信号を入力信号とし、入力信号のエッジ変化部分を検出すると割り込み要因を識別し当該の割り込み処理を実施し、処理が終了すると各々の要因に対して独立に準備されている処理終了信号を出力する割り込み制御手段において、前記複数の割り込み要因が多重に発生した場合、1つの割り込み要因の処理終了後他の割り込み要因が残存する場合、当該の処理終了信号をトリガとして、自在に設定可能な所定時間割り込み信号をディセーブル状態にした後イネーブル状態に変化させることでエッジ変化部分を発生させることを特徴とする割り込み制御手段。

【請求項2】 前記所定時間は割り込み要因によって独立に設定可能なことを特徴とする請求項1に記載の割り込み制御手段。

【請求項3】 前記割り込み要因の識別が各々の要因の割り込み要求フラグを順にポーリングすることにより実施されることを特徴とする請求項1又は2に記載の割り込み制御手段。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロプロセッサを含むシステムの割り込み制御手段に関し、特にエッジ割り込み制御回路での複数の割り込み要因を1本の割り込み信号線で制御する割り込み制御手段に関するものである。

【0002】

【従来の技術】割り込み制御とはマイクロプロセッサが実行中のプログラムを中断して入力された割り込み信号によって当該の要因に緊急の処理を行うためのものである。割り込みのトリガは、割り込み信号のエッジ（変化点）によるものと、レベル（論理レベル）によるものの2種類があるが、一般的にはエッジトリガが多く使用される。なお以後説明を簡略化するためにエッジトリガの場合、立ち下がりエッジで割り込みが発生するものとして説明するが、本発明はそれに限定されるものではない。

【0003】ところでマイクロプロセッサの割り込みはその資源が限られているため、資源以上の割り込み要因がある場合、複数の割り込み要因を同一割り込み信号に集約することで対応している。具体的には各々の割り込み要因に対する割り込み要求信号が割り込みコントローラに入力される以前にANDゲートの入力信号として接続されている。そしてその出力信号が割り込み信号として、割り込みコントローラに入力されている。

【0004】割り込みが発生していない時は割り込み信号は「H」レベルである。割り込みが発生すると、その信号が「H」レベルから「L」レベルに変化すると共に当該の割り込み要求フラグがセットされる。そのエッジ

変化（立ち下がり）を認識すると、割り込み処理が開始される。そしてどの割り込みが発生したかは各割り込み要因の要求フラグを順にポーリングしていくことにより確認している。

【0005】然る後該当する割り込み処理が実行され、処理が終了すると各々の割り込み要因ごとに準備されている終了処理信号（「H」パルスが出力されるとして以下記してある。）を出力し、その要求フラグを解除する。要求フラグが解除されると共に割り込み信号線は「L」から「H」に変化し割り込み処理が終了する。そして次の割り込み要因が発生するまで待機状態となる。

【0006】ところで上記構成において同一割り込み信号に集約している複数の割り込み要因が多重で発生した場合、最初の割り込み要因に対する処理が終了しその要求フラグが解除されるまでの間、割り込み信号は「L」レベルとなっている。しかる状態で（最初の割り込みが終了していない状態）別の割り込み要因が発生すると、ANDゲートで集約している構成から割り込み信号は「L」となっているので、次の割り込み要因に対するエッジ変化は消滅してしまい、割り込みコントローラが認識することができない。

【0007】この問題に対応する手段の1つとして、1つの割り込み処理が終了すると必ず同一割り込み信号に集約されている割り込み要因の割り込み要求フラグを順にポーリングしてゆき、要求があればその処理を行い、なければ割り込み処理を終了する手段が一般的であるが、以後に示すようにハード的に多重割り込みが発生した場合、2番目以降に発生した割り込み要因に対するエッジ変化を作りだす方法もしばしば用いられている。

【0008】それは各々の要因に対する割り込み処理終了信号と割り込み要求信号とを用いて割り込み処理中に生じた次の割り込み要求に対するエッジを出力するものである。

【0009】図4は多重割り込みが発生した場合に次の割り込み要求に対するエッジを出力する回路の一例を表わす回路図であり、図5は図4の回路を用いた場合のタイムチャートである。図4の回路は割り込み要求信号数と同数のラッチ回路400とゲート素子から構成されており、割り込み要求が発生すると割り込み要求信号が「H」から「L」へと変化するので、NOTゲート410を介して立ち上がりエッジが発生し、ラッチ回路400により当該の割り込み要求フラグが「H」にセットされる。

【0010】一方でそれぞれの割り込み要求に対応した割り込み処理終了信号がラッチ回路400のクリア端子に入力されているので、割り込み処理が終了し、割り込み処理終了（クリア）レジスタをライトすると、各々の要求フラグが解除される構成となっている。

【0011】一方で割り込み信号は、前記各々の要因に対する割り込み要求信号を入力とするANDゲート42

0と割り込み処理終了信号を入力とするORゲート430の出力を入力とするORゲート440の出力信号となるように構成されており、割り込み要求がない場合ANDゲート420の出力は「H」、ORゲート430の出力は「L」となり、割り込み信号は「H」レベルである(図5のI)。割り込み要求nが発生すると割り込み要求信号nが「L」となるためANDゲート420の出力が「L」となり、割り込み信号は「L」となり、立ち下がりエッジが発生して、割り込み処理が開始される(図5のII)。割り込み処理途中に次の割り込みが発生した場合(図5のIII)、割り込み信号のレベルは変わらないが、最初の割り込み処理が終了し割り込み終了信号nを出力すると(図5のIV)、その間ORゲート430の出力が「H」となるので、割り込み信号線は「H」のディセーブル状態となり、割り込み処理終了信号の出力が終了すると、ORゲート430の出力が「L」となるので、割り込み信号に次のエッジが発生する(図5のV)。立ち下がりエッジが発生すると、再び各要求フラグをポーリングし、当該割り込みの処理を実行する。

【0012】

【発明が解決しようとする課題】一般的にシステムにおいては図4に示すような割り込み制御部はGate Array(以下GAと呼ぶ)等のカスタム部品内に盛り込まれている。ところで今日ハード回路の世界ではモジュール化と呼ばれる各回路(CPU、I/Fマクロ等)をブロックごとに接続し、システムを構成する手法が次第に活用されてきている。また後日拡張した接続や、性能上位のものとブロックを入れ替えることも可能なように拡張性を持たせたカスタム部品の設計も一般的になってきている。拡張性をもった構成とは余った端子に汎用入出力端子機能を与えることなどがよく知られており、拡張する際端子の追加は容易に可能となっている。つまりこのことは割り込み要求の追加が可能であることを表わしている。

【0013】一方で割り込み制御部分に関しては特に拡張性を持たせた設計は実施されていないのが現状である。したがって新たな割り込み要求が発生するブロックを接続する時、あるいは割り込みコントローラを含むMPU部分を変更する際、割り込み制御部分が問題となる場合がある。

【0014】例えば図5に示すような多重割り込み発生時においては割り込み処理終了信号の幅はMPUがGAのレジスタをライトする動作により出力されるため、システムによって一意に決定され一定の値となる。割り込

【0015】あるいは別の割り込み要求信号を入力に持つ回路を接続した場合、回路によっては割り込み処理終了信号を入力してから要求信号がクリアされるまでの間にタイムロスが生じるものもあり、そのような場合不要な立ち下がりエッジが発生する場合もある(図5のVI)。

【0016】上述したような欠点を補うためにはあらかじめ大きなマージンをもって割り込み信号をディセーブルにするように構成すればよいが、その場合通常の割り込み処理時の制御スピードが落ちるという不具合が生じる可能性があった。

【0017】

【課題を解決するための手段】本発明は係る問題点を解決するために、同一レベルの複数の割り込み要因からなる割り込み信号を入力信号とし、入力信号のエッジ変化部分を検出すると割り込み要因を識別し当該割り込み処理を実施し、処理が終了すると各々の要因に対して独立に準備されている処理終了信号を出力する割り込み制御手段において、前記複数の割り込み要因が多重に発生した場合、1つの割り込み要因の処理終了後他の割り込み要因が残存する場合、当該の処理終了信号をトリガとして、自在に設定可能な所定時間割り込み信号をディセーブル状態にした後イネーブル状態に変化させる機能を有するように構成する。

【0018】該制御構成を実施する事で、割り込み制御回路部分に制限されることなくそれぞれの割り込み要求に対してフレキシブルに割り込み信号のディセーブル時間を設定することが可能となり、拡張性が広がり前述したような問題も解消することが可能になる。

【0019】

【発明の実施の形態】以下図面を参照して本発明の好適な実施例を説明する。

【0020】図3は本発明の実施例を適応可能なシステムの割り込み制御ブロック図である。

【0021】図において、MPU300はその内部の割り込みコントローラ301で割り込み信号(立ち下がりエッジ)を受け付ける。GA310は図4に示すような割り込み制御部311を保有しており、外部からの割り込み要求信号1～Nを一本の割り込み信号としてMPU300内の割り込みコントローラ301に送信する。

【0022】一方で割り込み制御部311の動作は前述したような働きをし、それぞれの割り込み要求に対してその情報をフラグという形でMPU300に送信する。MPU300はそれぞれの割り込みに応じたクリア信号1～NをGA310に送信する。この割り込み信号は

(割り込み要求フラグ3をセット)を送信する。GA310は割り込み制御部311で割り込み要求信号3をGA310に直接入力される他の割り込み要求信号合わせてANDゲート420に入力して割り込み信号を作成しMPU300に送信する。また割り込み要求フラグ3に対応する割り込み処理終了信号3は制御モジュール320内の割り込み要求フラグ3のクリア信号として使用されるだけでなく、割り込み制御部311内のORゲート430の入力としても与えられるように構成されている。

【0023】図1は本発明の一実施例における多重割り込み時の割り込み信号を選択可能な所定時間ディセーブルにする回路構成を示す図である。この回路はGA310内の割り込み制御部311内に設けられている。

【0024】図において、100はラッチ回路であり、割り込み処理終了信号が出力されると、その出力が

「H」となる。110はラッチ100の出力をイネーブル信号とするカウンタ回路であり、自在のカウント値が設定可能である。カウンタ回路110はイネーブル信号が「H」つまり割り込み処理終了信号がMPUから出力されると、カウンタクロック(システムクロックを分周したもの)をカウントしていき、設定値までカウントすると出力Cが「H」となるよう構成されている。120はクリアパルス幅確保回路であり、カウンタ回路110の出力Cが「H」となると、ラッチ回路100のクリア信号幅だけ確保する回路であり、カウンタクロック1CKがラッチ回路100のクリアパルス幅として十分でない場合必要となる。そしてラッチ回路100の出力が割り込み処理終了信号として図中の割り込み処理終了信号と置き換えられる。

【0025】このような構成とすることで、カウンタ回路110の設定値として与えた値に応じて割り込み処理終了信号の幅を変化にすることができるので、つまりは多重割り込み発生時の1つの割り込み処理が終了した後、次の割り込み要因に対応するエッジを出力するまで割り込み信号をディセーブルにしておく時間が自在に可変可能となる。したがって、新たに制御モジュールが追加された場合や割り込みコントローラ301を変えた場合でも対応可能である。

【0026】図2に本発明の一実施例における多重割り込み時のタイムチャートを示す。

【0027】図に示すように図5で問題となったパルス幅VIは可変可能であり、割り込みコントローラ301のスペックを満たすように設定でき、また不明なエッジVIの発生を回避する回路の構成も、シミュレーションの結果、

ことができる。

【0028】なお本発明は上記回路構成に限定されるものではなく、他の回路構成であっても本発明の意図するところは実現可能である。

【0029】さらにこの構成をすべての割り込み要因に対して実現してもよいが、特定の割り込み要因についてのみ実施しても本発明の効果を発揮することが可能である。その場合は例えば割り込み処理終了信号3のみ図1に示す回路で割り込み処理終了信号を作成し、割り込み処理終了信号3の代わりとするような構成とすればよい。

【0030】

【発明の効果】以上説明したように、本発明によれば、同一レベルの複数の割り込み要因からなる割り込み信号を入力信号とし、入力信号のエッジ変化部分を検出すると割り込み要因を識別し当該の割り込み処理を実施し、処理が終了すると各々の要因に対して独立に準備されている処理終了信号を出力する割り込み制御手段において、前記複数の割り込み要因が多重に発生した場合、1つの割り込み要因の処理終了後他の割り込み要因が残存する場合、当該の処理終了信号をトリガとして、自在に設定可能な所定時間割り込み信号をディセーブル状態にした後イネーブル状態に変化させる機能を有するように構成することで、割り込み要因に応じて自在にエッジを出力するための割り込み信号をディセーブルからイネーブルにする時間を設定できるので、割り込み制御部に制限されることなくそれぞれの割り込み要求に対してフレキシブルに時間設定をすることが可能となり、その拡張性も広げることが可能となる。

【図面の簡単な説明】

【図1】 本発明の一実施例における多重割り込み時の割り込み信号を選択可能な所定時間ディセーブルにする回路構成を示す図である。

【図2】 本発明の一実施例における多重割り込み時のタイムチャートである。

【図3】 本発明の実施例を適応可能なシステムの割り込み制御ブロック図である。

【図4】 多重割り込みが発生した場合に次の割り込み要求に対するエッジを出力する回路の一例を表わす回路図である。

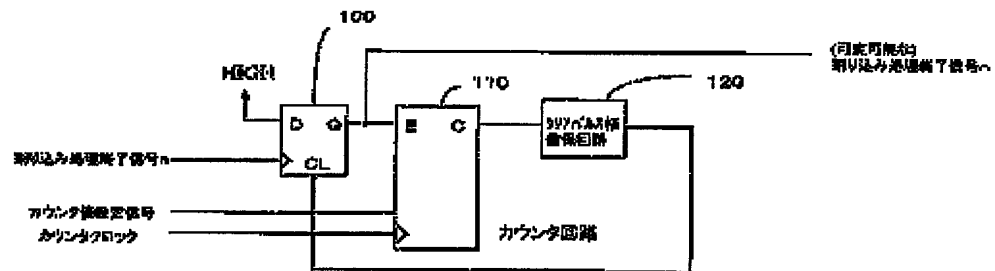
【図5】 図4の回路を用いた場合のタイムチャートである。

【符号の説明】

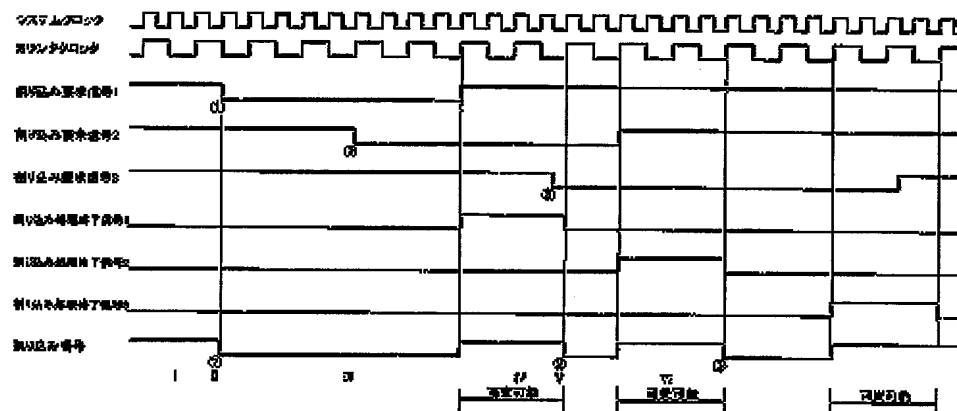
100 ラッチ回路

110 カウンタ回路

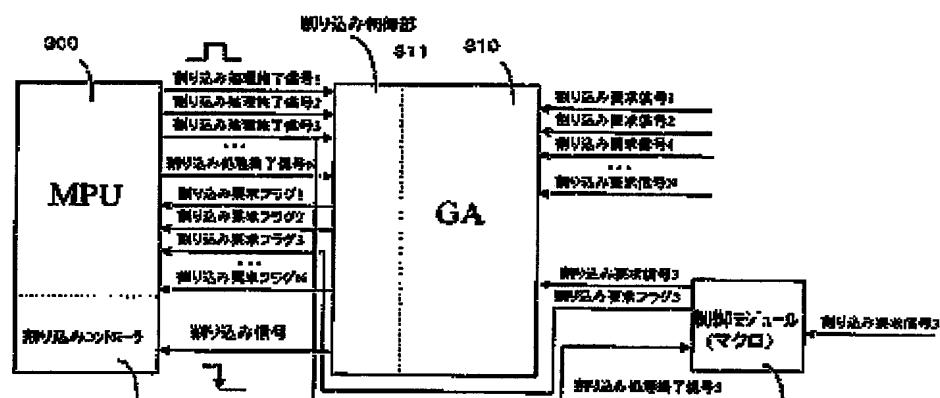
【图 1】



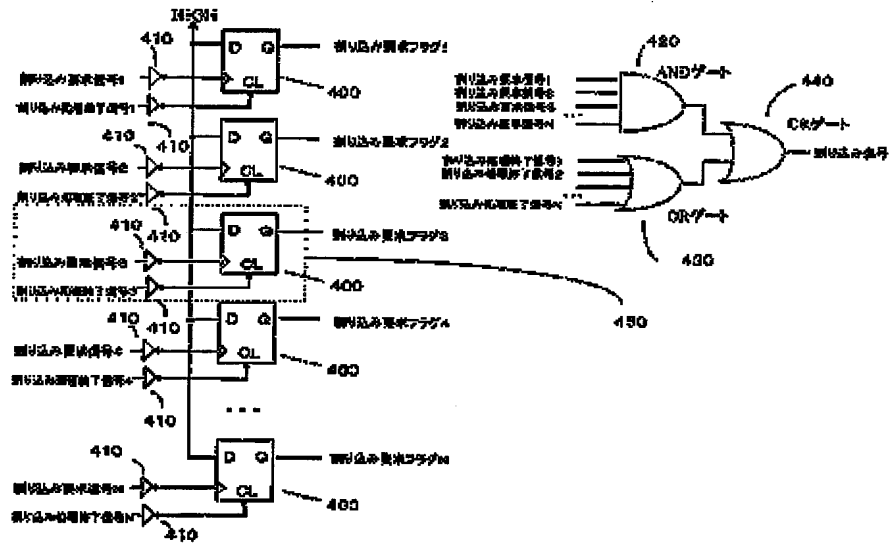
【圖 2】



【图3】



【图4】



【例5】

